

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-341021

(43)Date of publication of application : 10.12.1999

(51)Int.Cl. H04L 12/40

(21)Application number : 10-144285

(71)Applicant : CANON INC

(22)Date of filing : 26.05.1998

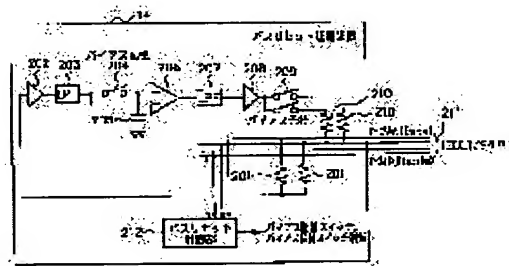
(72)Inventor : TAKAYANAGI MASAHIRO

## (54) ELECTRONIC INSTRUMENT, DATA COMMUNICATION SYSTEM AND COMPUTER READABLE STORAGE MEDIUM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent a bus from being carelessly reset during the transfer of specific data.

**SOLUTION:** The bias voltage of a cable A is detected by a resistor 201 at a certain point of time during the transfer of specific data through an IEEE1394 bus 211 and the detected voltage is entered into a capacitor 205 through a switch 204 and stored as a reference value. During the transfer at data, the detected voltage is compared with a reference value by a comparator 206, and after smoothing the compared result, the smoothed voltage is fed back to the cable A through a switch 209 and a resistor 210, so that the bias voltage is held at a prescribed level to prevent the generation of bus reset. After the end of transfer, the switch 209 is turned off so that the bus is reset at need.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 4 1 0 2 1

(43) 公開日 平成11年(1999)12月10日

(51) Int. Cl.<sup>6</sup>  
H 0 4 L 12/40

識別記号

F I  
H 0 4 L 11/00 3 2 0

審査請求 未請求 請求項の数 2 0 O L

(全 7 頁)

(21) 出願番号 特願平10-144285

(22) 出願日 平成10年(1998)5月26日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 高柳 昌弘

東京都大田区下丸子3丁目30番2号 キヤノ  
ン株式会社内

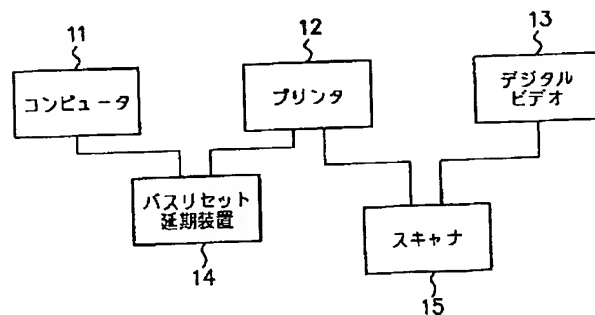
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 電子機器、データ通信システム及びコンピュータ読み取り可能な記憶媒体

(57) 【要約】

【課題】 特定のデータの転送中は不用意にバスリセットがかからないようにする。

【解決手段】 IEEE1394バス211が特定のデータ転送中のある時点でケーブルAのバイアス電圧を抵抗201で検出し、検出した電圧をスイッチ204でコンデンサ205に取り込み、基準値として記憶しておく。データ転送中は上記検出されたバイアス電圧と基準値とを比較器206で比較し、その比較出力を平滑した後、スイッチ209、抵抗210を介してケーブルAに帰還することにより、そのバイアス電圧を所定の大きさに保持し、バスリセットがかからないようにする。転送終了後はスイッチ209をOFFして、必要に応じてバスリセットがかかるようにする。



## 【特許請求の範囲】

【請求項 1】 データ転送中のバスのバイアス電圧を検出する検出手段と、

所定のタイミングで検出されたバイアス電圧を記憶する記憶手段と、

上記記憶された電圧と上記検出されたバイアス電圧とを比較する比較手段と、

上記比較結果に応じて上記バスのバイアス電圧を所定に制御する制御手段とを備えた電子機器。

【請求項 2】 上記制御手段は、上記データ転送の終了後は上記制御を解除して、上記バイアス電圧が上記所定の大きさから変化したときバスリセットを行うことを特徴とする請求項 1 記載の電子機器。

【請求項 3】 上記記憶手段は、上記基準値を記憶するコンデンサを有することを特徴とする請求項 1 記載の電子機器。

【請求項 4】 上記記憶手段は、上記検出されたバイアス電圧をデジタルデータに変換する A/D 変換手段と、上記デジタルデータをラッチするラッチ手段と、上記ラッチされたデジタルデータをアナログ電圧に変換する D/A 変換手段とを有することを特徴とする請求項 1 記載の電子機器。

【請求項 5】 バス上にコンピュータと 1 つ以上の機器とが接続されてなるデータ通信システムにおいて、特定の機器又はコンピュータ間でデータ転送が行われるとき、上記バスのバイアス電圧を所定の大きさに制御するバスバイアス制御手段を備えたことを特徴とするデータ通信システム。

【請求項 6】 上記バスバイアス制御手段は、上記データ転送の終了後は上記制御を解除して、上記バイアス電圧が上記所定の大きさから変化したときバスリセットを行うことを特徴とする請求項 5 記載のデータ通信システム。

【請求項 7】 上記バスバイアス制御手段は、上記バスのバイアス電圧を検出する検出手段と、所定のタイミングで検出されたバイアス電圧を記憶する記憶手段と、上記記憶された電圧と上記検出されたバイアス電圧とを比較する比較手段と、上記比較結果に応じて上記バスのバイアス電圧を所定に制御する制御手段とを備えたことを特徴とする請求項 5 記載のデータ通信システム。

【請求項 8】 上記記憶手段は、上記電圧を記憶するコンデンサを有することを特徴とする請求項 5 記載のデータ通信システム。

【請求項 9】 上記記憶手段は、上記検出されたバイアス電圧をデジタルデータに変換する A/D 変換手段と、上記デジタルデータをラッチするラッチ手段と、上記ラッチされたデジタルデータをアナログ電圧に変換する D/A 変換手段とを有することを特徴とする請求項 5 記載のデータ通信システム。

【請求項 10】 上記特定の機器又はコンピュータを設

定する設定手段を設けたことを特徴とする請求項 5 記載のデータ通信システム。

【請求項 11】 データ転送中のバスのバイアス電圧を検出する検出手段と、

所定のタイミングで検出されたバイアス電圧を記憶する記憶手段と、

上記記憶された電圧と上記検出されたバイアス電圧とを比較する比較手段と、

上記比較結果に応じて上記バスのバイアス電圧を所定に制御する制御手段とを実行するためのプログラムを記載したコンピュータ読み取り可能な記憶媒体。

【請求項 12】 上記制御手段は、上記データ転送の終了後は上記制御を解除して、上記バイアス電圧が上記所定の大きさから変化したときバスリセットを行うことを特徴とする請求項 11 記載のコンピュータ読み取り可能な記憶媒体。

【請求項 13】 上記記憶手段は、上記電圧をコンデンサに記憶させることを特徴とする請求項 11 記載のコンピュータ読み取り可能な記憶媒体。

【請求項 14】 上記記憶手段は、上記検出されたバイアス電圧をデジタルデータに変換する A/D 変換手段と、上記デジタルデータをラッチするラッチ手段と、上記ラッチされたデジタルデータをアナログ電圧に変換する D/A 変換手段とを有することを特徴とする請求項 11 記載のコンピュータ読み取り可能な記憶媒体。

【請求項 15】 バス上にコンピュータと 1 つ以上の機器とが接続されてなるデータ通信システムにおいて、特定の機器又はコンピュータ間でデータ転送が行われるとき、上記バスのバイアス電圧を所定の大きさに制御するバスバイアス制御手段を実行するためのプログラムを記載したコンピュータ読み取り可能な記憶媒体。

【請求項 16】 上記バスバイアス制御手段は、上記データ転送の終了後、上記バイアス電圧が上記所定の大きさから変化したときバスリセットを行うことを特徴とする請求項 15 記載のコンピュータ読み取り可能な記憶媒体。

【請求項 17】 バスバイアス制御手段は、上記バスのバイアス電圧を検出する検出手段と、所定のタイミングで検出されたバイアス電圧を記憶する記憶手段と、上記記憶された電圧と上記検出されたバイアス電圧とを比較する比較手段と、上記比較結果に応じて上記バスのバイアス電圧を所定に制御する制御手段とを有することを特徴とする請求項 15 記載のコンピュータ読み取り可能な記憶媒体。

【請求項 18】 上記記憶手段は、上記電圧をコンデンサに記憶させることを特徴とする請求項 15 記載のコンピュータ読み取り可能な記憶媒体。

【請求項 19】 上記記憶手段は、上記検出されたバイアス電圧をデジタルデータに変換する A/D 変換手段と、上記デジタルデータをラッチするラッチ手段と、上

記ラッチされたデジタルデータをアナログ電圧に変換する D/A 変換手順とを有することを特徴とする請求項 15 記載のコンピュータ読み取り可能な記憶媒体。

【請求項 20】 上記特定の機器又はコンピュータを設定する設定手順を設けたことを特徴とする請求項 15 記載のコンピュータ読み取り可能な記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、IEEE 1394 バス等の制御信号とデータを混在させて通信することが可能なデータ通信バス等のバイアス電圧を制御するための電子機器、この電子機器を用いたデータ通信システム及びそれらに用いられるコンピュータ読み取り可能な記憶媒体に関するものである。

【0002】

【従来の技術】 制御信号とデータを混在させて通信することが可能なデータ通信バスとしての IEEE 1394 バスにおいては、バスに対するケーブルの挿抜や電源の ON/OFF により、信号線のバイアス電圧が規定以上変化したときに、バスリセットを行うようにしている。バスリセットは、データ転送が行われていないときはすぐに行われ、データ転送中は送信中のパケット内のデータ転送が終了後に行われる。尚、データ転送は、そのデータがパケットより大きい場合は、複数のパケットに分けて送られる。

【0003】

【発明が解決しようとする課題】 しかしながら、データ転送中のバスリセットはパケットの終了時に行われるため、リセット時間を許容できないリアルタイム性の高いデータを複数のパケットに分割して転送している最中にバスリセットが発生した場合には、必要とされるリアルタイム性を維持できないという問題があった。

【0004】 本発明は、上記の問題を解決するために成されたもので、リアルタイム性の高いデータを転送しているときは、不必要にバスリセットが発生しないようにすることを目的とする。

【0005】

【課題を解決するための手段】 上記の目的を達成するために、本発明による電子機器においては、バスのバイアス電圧を検出する検出手段と、所定のタイミングで検出されたバイアス電圧を記憶する記憶手段と、上記記憶された電圧と上記検出されたバイアス電圧とを比較する比較手段と、上記比較結果に応じて上記バスのバイアス電圧を所定に制御する制御手段とを設けている。

【0006】 また、本発明によるデータ通信システムにおいては、バス上にコンピュータと 1 つ以上の機器とが接続されてなるデータ通信システムにおいて、特定の機器又はコンピュータ間でデータ転送が行われるとき、上記バスのバイアス電圧を所定の大きさに制御するバスバイアス制御手段を設けている。

【0007】 また、本発明による記憶媒体においては、バスのバイアス電圧を検出する検出手順と、所定のタイミングで検出されたバイアス電圧を記憶する記憶手順と、上記記憶された電圧と上記検出されたバイアス電圧とを比較する比較手順と、上記比較結果に応じて上記バスのバイアス電圧を所定の大きさに制御する制御手順とを実行するためのプログラムを記憶している。

【0008】 また、本発明による他の記憶媒体においては、バス上にコンピュータと 1 つ以上の機器とが接続されてなるデータ通信システムにおいて、特定の機器又はコンピュータ間でデータ転送が行われるとき、上記バスのバイアス電圧を所定の大きさに制御するバスバイアス制御手段を実行するためのプログラムを記憶している。

【0009】

【発明の実施の形態】 以下、本発明の実施の形態について図面を用いて説明する。本実施の形態は、IEEE 1394 バスにおけるバスリセットは、バスに対するケーブルの挿抜や電源の ON/OFF により、信号線のバイアス電圧が規定以上変化したときに行われるという IEEE 1394 仕様を利用するものである。即ち、バスのバイアス電圧を監視し、外部からバイアス電圧を一定のレベルに制御する本発明によるバスバイアス制御手段をシステムに設けたものである。

【0010】 このバスバイアス制御手段は、リセット時間を許容できないリアルタイム性の高いデータの転送中は、ケーブルの挿抜や電源の ON/OFF が発生しても、バイアス電圧をそれまでのレベルに維持し、データの転送が終了したら、バイアス電圧の制御を解除して、システムに通常のバスリセットを行わせるように動作するものである。即ち、バスリセットをデータ転送が終了するまで延期するように動作するものである。

【0011】 図 1 は、本発明によるデータ通信システムの実施の形態を示すブロック図である。図 1 において、11 は IEEE 1394 バスに接続されたコンピュータ、12 はプリンタ、13 はデジタルビデオ、15 はスキャナ、14 は本発明によるバスバイアス制御を行う電子機器としてのバスリセット延期装置である。

【0012】 図 2 は上記バスリセット延期装置 14 の第 1 の実施の形態を示す。図 2 において、211 が IEEE 1394 バスである。この IEEE 1394 バス 211 は、データ用のケーブル A (Data) と制御信号用のケーブル B (Strobe) とから成る。上記ケーブル A のバイアス電圧が、システム上のケーブルの挿抜や電源の ON/OFF により変化する。本装置 14 は、このケーブル A に接続されている。201 はバイアス電圧を検出するための抵抗、202 は平均化されたバイアス電圧をバッファするアナログバッファ、203 は検出されたバイアス電圧の交流成分を除去して平滑 (DC 化) する LPF である。

【0013】 204 は上記平滑された電圧を基準バイア

ス値として取り込むためのスイッチ、205は上記取り込まれた基準バイアス値を記憶するコンデンサ、206は上記基準バイアス値とLPF203からの検出電圧とを比較し、比較出力としてパルスを出力する比較器、207は上記パルスを平滑して滑らかなフィードバック電圧に変換するLPF、208は上記平滑された電圧をバッファするアナログバッファ、209は本装置をバスに対して働かせるための2連のバイアス保持スイッチ、210は上記フィードバックされた補正バイアス電圧を適当なインピーダンスでケーブルAに与える抵抗である。

【0014】212はバスリセット制御部であり、本装置を働かせる対象となるデータを設定し、この設定されたデータの転送が開始されたら、上記各スイッチ204、209を制御するものである。

【0015】次に動作について説明する。まず、バスリセット延期装置14の動作について説明する。バスリセット制御部212は、本装置を働かせる対象となる機器のノード番号等を記憶し、設定されたデータの転送が開始されたら、バスのバイアス電圧を制御する。バスリセットは、ケーブルAの2本の信号線の平均バイアス電圧の変化が、ツリー構造が構築されたときのレベルから規定範囲を越えたときに発生するようになされている。従って本装置は、システム上のケーブルの挿抜や機器の電源のON/OFFがあった場合に、バイアス電圧の平均レベルが変化しないように、外部から補正電圧を加えることにより、上記ツリー構造が構築された時点のレベルを保つような制御を行う。

【0016】まず、データ転送中の通常の状態において、ケーブルAの2本の信号線に接続された抵抗201が、この2本の信号線のバイアス電圧の平均値を検出して、アナログバッファ202に入力する。この検出電圧はLPF203で平滑された後、スイッチ204のONにより取り込まれてコンデンサ205にチャージされ、スイッチ204のOFFにより記憶される。この記憶された電圧は基準バイアス値として用いられ、バイアス保持機能が動作しているときに、比較器206でLPF203からの検出電圧と比較される。

【0017】比較器206は、ケーブルAのバイアス電圧レベルとなり得るレベルを大きく挟み込むような2つの電圧をHレベル、Lレベルとして出力する。ケーブルAのバイアス電圧が上記基準バイアス値より低いときは、Hレベルを出力してケーブルAのバイアス電圧を上げるように動作する。また逆に、ケーブルAのバイアス電圧が上記基準バイアス値より高いときは、Lレベルを出力してケーブルAのバイアス電圧を下げるように動作する。

【0018】上記H又はLレベルの比較出力はLPFで平滑された後、アナログバッファ208、スイッチ209及び抵抗210を介してケーブルAにフィードバックされ、そのバイアス電圧を補正することにより、ケー

ブルAのバイアス電圧を以前のレベルに保つように制御する。

【0019】次に、上記のようなバスリセット延期装置14を有する図1のデータ通信システムの動作について図3のフローチャートを用いて説明する。図1は各機器がIEEE1394バスで接続されたシステムを示す。このシステムでは、コンピュータ11からプリンタ12に対して、印刷を行うためのデータをIEEE1394バス経由で転送したり、スキャナ15で読み取った画像をコンピュータ11に転送して編集するというようなデータのやり取りが行われる。

【0020】例えば、コンピュータ11からプリンタ12へのデータ転送にリアルタイム性が必要とされ、転送中にバスリセット等により転送が中断すると印刷に支障を来す場合に、バスリセット延期装置14に対して、コンピュータ11からプリンタ12へのデータの転送は中断しないという設定をする(図3のステップS31)。この設定は、バスリセット延期装置14の制御対象としてのデータ転送の送受信機器のノード番号をIEEE1394バス経由でバスリセット制御部212内に設定することで行う。例えば、コンピュータ11とプリンタ12のノード番号が1と2であれば、1から2へのデータ転送に対してバスリセット延期装置14を働かせると設定する。

【0021】次にバスリセット延期装置14は、設定されたデータ転送であるか否かを判断する(S32)。この判断は、実際のデータ転送が行われる前に行われるアービトラージ時に発行されるIEEE1394バスに接続された機器のノード番号等を含んだ64ビットアドレスを監視することによって行われる。

【0022】上記のような設定がなされた状態において、今、スキャナ15からコンピュータ11にデータを転送しており、この転送中にデジタルビデオ13の電源が切られたとする。スキャナ15からのデータ転送についてはバスリセット延期装置14に設定されていないので、上記S32のNoのループを回ることになり、従ってスイッチ209はONとならず、バイアス電圧制御は行われぬ。これは要するに、従来の規格通りの動作であるので、スキャナ15からのデータはパケットの切れ目で転送が中断され、バスリセット後にデータ転送が再開されることになる。データ転送中にバスリセットによる中断が許容できる場合は、これで問題はない。

【0023】次に、コンピュータ11からプリンタ12へのデータ転送が行われると、これはバスリセット延期装置14に設定されたデータ転送であるから、バスリセット延期装置14が働くことになる。まず、スイッチ204をON-OFFしてケーブルAのバイアス電圧を基準バイアス電圧としてコンデンサ205に記憶しておく(S33)。次に、スイッチ209をONにして回路の動作を開始し(S34)、設定されたデータ転送が終了

するまでバイアス電圧制御を行う (S 3 5)。

【0 0 2 4】以上によれば、設定されたデータ転送中にケーブルの挿抜や機器の電源のON/OFFがあった場合でも、バイアス電圧制御が行われているので、上記設定されたデータ転送 (この例では、コンピュータ 1 1 からプリンタ 1 2 へのデータ転送) が終了するまでバイアス電圧は以前のレベルに保持され、バスリセットは起こらない。そして、データ転送が終了すればバイアス電圧制御がOFFするので (S 3 6)、その後ケーブルの挿抜等によりバスリセットが行われ、何もなければ、そのままシステムはバスリセットを起こさずに動作を続ける。

【0 0 2 5】尚、抵抗 2 0 1 は、ケーブル A 上の信号へのこの抵抗 2 0 1 による影響を極力抑えるためには、抵抗値の高いものが望ましいが、アナログバッファ 2 0 2 への入力信号がノイズ等の外乱の影響を受けにくくするためには、抵抗値は低い方が望ましい。これらのバランスを考慮して数 K  $\Omega$  が適当と考えられる。しかし、上記のバランスを抵抗 2 0 1 のみで取りにくい場合は、図 4

のように構成してもよい。

【0 0 2 6】図 4 はバスリセット延期装置 1 4 の第 2 の実施の形態を示すもので、図 1 と等価な部分には同一番号を付してある。図 4 において、2 1 3 はケーブル A から電圧を取り出すアナログバッファ、2 1 4 は 2 本のケーブル A の電圧の平均を得るための 2 個の抵抗である。

【0 0 2 7】上記構成によれば、入力インピーダンスの高いアナログバッファ 2 1 3 を用いて 2 本のケーブル A の信号を 1 本ずつ別々にバッファリングした後、抵抗 2 1 4 でバイアス電圧の平均値を作ることにより、この回路をケーブル A に接続することによる影響を軽減するようにしている。

【0 0 2 8】図 5 はバスリセット延期装置 1 4 の第 3 の実施の形態を示す。図 1、図 2 と等価な部分には同一番号を付してある。図 5 において、2 1 5 は L P F 2 0 3 からの電圧をデジタルのデータに変換する A/D 変換器、2 1 6 は上記 A/D 変換されたデータを前記基準バイアス値として記憶するラッチ、2 1 7 は上記記憶された基準バイアス値をアナログ電圧に変換して比較器 2 0 6 に与える D/A 変換器である。

【0 0 2 9】前述した第 1、第 2 の実施の形態では、基準バイアス値をアナログ電圧としてコンデンサ 2 0 5 に記憶するので、外乱ノイズや電荷のリーク等によって基準バイアス値が変化することがあるが、本実施の形態では、基準バイアス値をデジタル値として記憶するので、安定した基準バイアス値が得られ、バイアス電圧制御をさらに精度よく行うことができる。

【0 0 3 0】尚、図 1 の各機器から成るデータ通信システムは、CPU、メモリ等を含むコンピュータ 1 1 により制御されるが、その場合、上記メモリは本発明による記憶媒体を構成する。この記憶媒体には、図 3 のフロ

ーチャートについて前述した動作を制御するための処理手順を実行するためのプログラムが記憶される。

【0 0 3 1】また、この記憶媒体としては、ROM、RAM 等の半導体メモリ、光ディスク、光磁気ディスク、磁気媒体等を用いてよく、これらを CD-ROM、フロッピーディスク、磁気媒体、磁気カード、不揮発性メモリカード等に構成して用いてよい。

【0 0 3 2】従って、この記憶媒体を図 1、図 2、図 4、図 5 に示したシステムや装置以外の他のシステムや装置で用い、そのシステムあるいはコンピュータがこの記憶媒体に格納されたプログラムコードを読み出し、実行することによっても、前述した各実施の形態と同等の機能を実現できると共に、同等の効果を得ることができる。本発明の目的を達成することができる。

【0 0 3 3】また、コンピュータ上で稼働している OS 等が処理の一部又は全部を行う場合、あるいは、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された拡張機能ボードやコンピュータに接続された拡張機能ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づいて、上記拡張機能ボードや拡張機能ユニットに備わる CPU 等が処理の一部又は全部を行う場合にも、各実施の形態と同等の機能を実現できると共に、同等の効果を得ることができ、本発明の目的を達成することができる。

【0 0 3 4】

【発明の効果】以上説明したように、本発明によれば、データ転送中はバスのバイアス電圧を所定の大きさに制御するようにしたことにより、特にバスリセットを許容できないリアルタイム性の高いデータ転送を行う場合に、不用意にバスリセットが行われることをなくすことができ、データ転送を支障なく行うことができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態によるデータ通信システムの構成を示すブロック図である。

【図 2】バスリセット延期装置の第 1 の実施の形態を示す構成図である。

【図 3】バイアス制御の処理を示すフローチャートである。

【図 4】バスリセット延期装置の第 2 の実施の形態を示す構成図である。

【図 5】バスリセット延期装置の第 3 の実施の形態を示す構成図である。

【符号の説明】

1 1 コンピュータ

1 2 プリンタ

1 3 デジタルビデオ

1 4 バスリセット延期装置

1 5 スキャナ

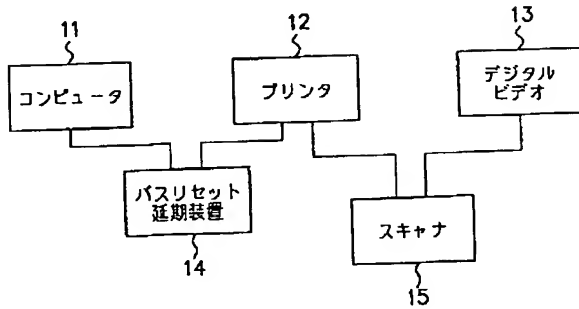
2 0 1、2 0 9、2 1 0、2 1 4 抵抗

2 0 2 アナログバッファ

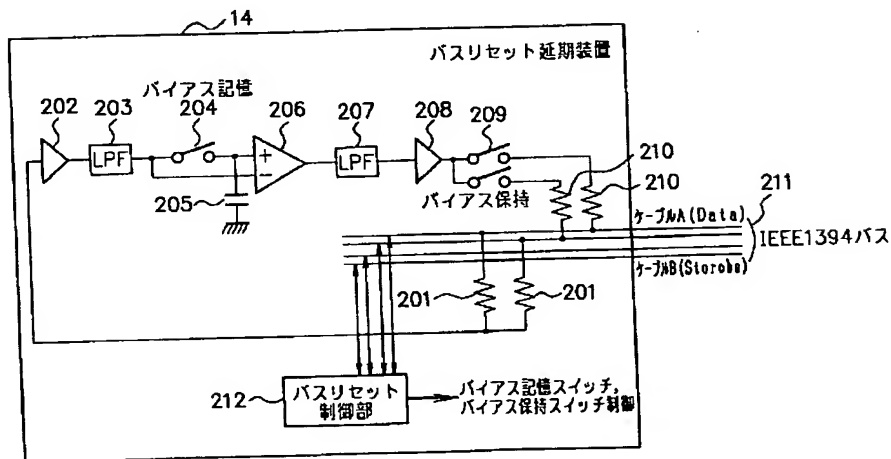
203、207 LPF  
 204、208、213 アナログバッファ  
 211 IEEE1394バス

215 A/D変換器  
 216 ラッチ  
 217 D/A変換器

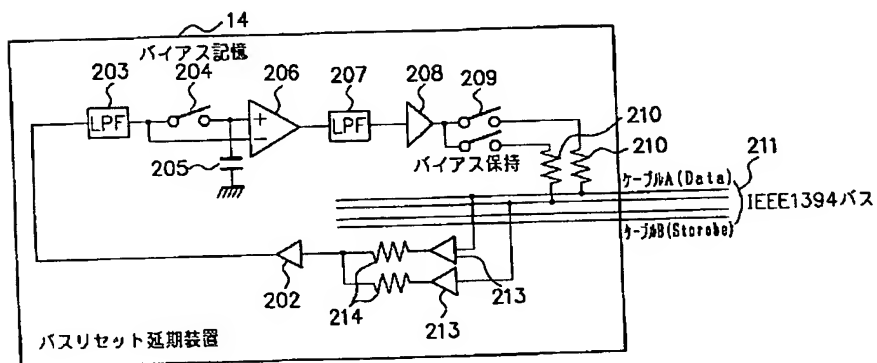
【図1】



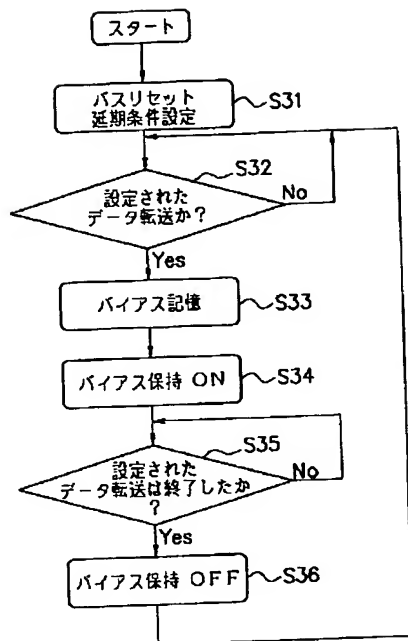
【図2】



【図4】



【図 3】



【図 5】

